

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-191615

(43)Date of publication of application : 09.07.1992

(51)Int.CI.

G01D 5/36

(21)Application number : 02-321079

(71)Applicant : FANUC LTD

(22)Date of filing : 27.11.1990

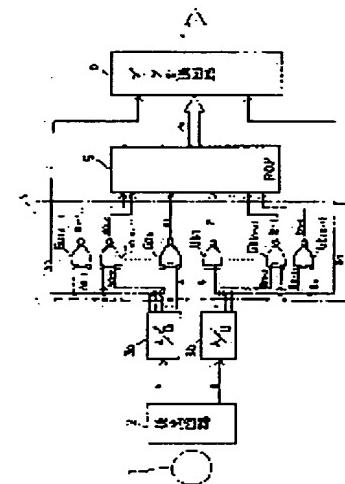
(72)Inventor : TANIGUCHI MITSUYUKI

## (54) INTERPOLATION CIRCUIT OF ENCODER

### (57)Abstract:

**PURPOSE:** To enhance resolving power without increasing the capacity of a memory by converting the interpolation position data read from the memory into the interpolation position data within one cycle of a sine wave signal.

**CONSTITUTION:** Interpolation position data is stored in an ROM 5 using the values of the digital signals of the A-phase and B-phase of the first quadrant as addresses. When the digital values due to the outputs of A/D converters 3a, 3b are within the second quadrant, the value obtained by subtracting the data read from p is outputted as interpolation position data in a data converting circuit 6. When said values are within the third quadrant, the read data is added to p to be outputted as an interpolation position and, when the values are within the fourth quadrant, the value obtained by subtracting the data read from 2p is outputted as an interpolation position. By this constitution, the resolving power of the interpolation position data within one cycle of the sine wave of an encoder can be enhanced without increasing the capacity of a memory.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
⑫ 公開特許公報 (A) 平4-191615

⑬ Int. Cl.<sup>5</sup>  
G 01 D 5/36

識別記号 庁内整理番号  
Q 7617-2F

⑭ 公開 平成4年(1992)7月9日

審査請求 未請求 請求項の数 4 (全8頁)

⑮ 発明の名称 エンコーダの内挿回路

⑯ 特 願 平2-321079  
⑰ 出 願 平2(1990)11月27日

⑱ 発明者 谷 口 満 幸 山梨県南都留郡忍野村忍草字古馬場3580番地 フアナツク  
株式会社商品開発研究所内

⑲ 出願人 フアナツク株式会社 山梨県南都留郡忍野村忍草字古馬場3580番地

⑳ 代理人 弁理士 竹本 松司 外2名

明細書

1. 発明の名称

エンコーダの内挿回路

2. 特許請求の範囲

(1) 検出回路から出力される90度位相差のあるA相、B相の正弦波信号をそれぞれA/D変換器でデジタル信号に変換し、該A相、B相のデジタル信号をアドレスとして該アドレス位置にデジタル信号に対応する内挿位置データを記憶したメモリより内挿位置を読み出すようにしたエンコーダの内挿回路において、上記メモリに上記正弦波信号の1/4周期分の内挿位置データを記憶し、上記A/D変換器から出力されるデジタル信号を上記1/4周期分の内挿位置データに対するアドレスに変換するアドレス変換回路と、該アドレス変換回路から出力されるアドレス信号によりアドレスが指定されて上記メモリから読み出される内挿位置データを上記正弦波信号の1周期内における内挿位置データに変

換するデータ変換回路とを有することを特徴とするエンコーダの内挿回路。

(2) 上記メモリには上記各デジタル信号の最上位のビットが一方の値をとるときの残りのビットで示される値に対応して内挿位置データを記憶しておき、上記アドレス変換回路はそれぞれのデジタル信号の最上位のビットが上記一方に値をとるときにはデジタル信号の他の残りのビットの値をそのままアドレス信号とし、最上位のビットが他方の値をとるときデジタル信号の他の残りのビットの値を反転させてアドレス信号とする請求項1記載のエンコーダの内挿回路。

(3) 上記アドレス変換回路はA相、B相それぞれに対してデジタル信号のビット数より1つ少ないイクスクルシブノア回路若しくはイクスクルシブオア回路で構成され、A相、B相それぞれのイクスクルシブノア回路若しくはイクスクルシブオア回路にはそれぞれデジタル信号の最上位のビット出力を入力する

と共に他のピット出力をそれぞれ入力し、アドレス信号を出力する請求項1若しくは請求項2記載のエンコーダの内挿回路。

- (4) 検出回路から出力される90度位相差のあるA相、B相の正弦波信号をそれぞれA/D変換器でデジタル信号に変換し、該A相、B相のデジタル信号をアドレスとして該アドレス位置にデジタル信号に対応する内挿位置データを記憶したメモリより内挿位置を読み出すようにしたエンコーダの内挿回路において、上記メモリに上記正弦波信号の1/2周期分の内挿位置データを記憶し、上記A/D変換器から出力されるデジタル信号を上記1/2周期分の内挿位置データに対するアドレスに変換するアドレス変換回路と、該アドレス変換回路から出力されるアドレスにより上記メモリから読み出される内挿位置データを上記正弦波信号の1周期内における内挿位置データに変換するデータ変換回路とを有することを特徴とするエンコーダの内挿回

路。

### 3. 発明の詳細な説明

#### 産業上の利用分野

本発明は、回転軸に取り付けられるロータリ形式のエンコーダや、工作機械のテーブル等の移動体に取り付けられるリニア形式のエンコーダに関する。

#### 従来の技術

光学的若しくは磁気的にコードが付されたコード板を回転軸若しくは移動体に取り付け、該コード板のコードを検出する検出回路を脱け、上記回転軸、移動体が移動することによって上記検出回路から発生する90度位相差のあるA相、B相の正弦波信号より、該正弦波信号内の位置、すなわち内挿位置を検出するものがすでに公知である。

この内挿位置を検出する方法として、上記A相、B相信号をA/D変換器でデジタル信号に変換し、該デジタル信号をアドレスとして、メモリに入力し、該メモリにはこのA相、B相のデジタル値に対応するアドレス位置に正弦波1周期内

- 3 -

を内挿した位置データを記憶させておき、該メモリから読み出されるデータを内挿位置として検出するようにしたものも公知である。

すなわち、90度位相差のあるA相、B相の正弦波信号を、例えばA相正弦波信号を横軸に取り、B相正弦波信号を縦軸に取り、リサジュー图形を描かせると円となる。そのため、該A相、B相正弦波信号をデジタル信号に変換し、このA相、B相のデジタル信号の値により、正弦波1周期内を内挿した内挿位置を得ることができ、A相、B相のデジタル信号の値に対応してメモリに内挿位置を記憶させておけば、A/D変換器から出力される値をメモリのアドレスとして入力することによって内挿位置を得ることができるものである。

#### 発明が解決しようとする課題

しかし、上記A/D変換器の分解能を増して、内挿位置の分解能を向上させようとすると、上記メモリの容量も増大させなければならない。

そこで本発明の目的は、メモリの容量を増大さ

せることなく分解能の高いエンコーダの内挿回路を提供することにある。

#### 課題を解決するための手段

上述したように、A相、B相の正弦波信号の一方を横軸、他方を縦軸に取り、リサジュー图形を描くと円になるが、該、円の中心を原点として座標系を考えると、第2象限のリサジュー图形は横軸の符号を反転すると第1のリサジュー图形と同一である。また、第3象限のリサジュー图形は縦、横軸の符号を反転すると第1象限のリサジュー图形と同一となる。さらに第4象限のリサジュー图形は縦軸の符号を反転すると第1象限のリサジュー图形と同一となる。そのため、本発明は、メモリに上記正弦波信号の1/4周期分（例えば第1象限分）若しくは1/2周期分（例えば第1、第2象限分）の内挿位置データを記憶し、上記A/D変換器から出力されるデジタル信号を上記1/4周期分若しくは1/2周期分の内挿位置データに対するアドレスに変換するアドレス変換回路と、該アドレス変換回路から出力されるアドレス

- 4 -

- 5 -

- 6 -

により上記メモリから読み出される内挿位置データを上記正弦波信号の1周期内における内挿位置データに変換するデータ変換回路とを設けることによってメモリの容量が少なくて分解能の高いエンコーダの内挿回路を得るようにした。

## 作用

第2図はA相の正弦波信号の値を横軸、B相の正弦波信号の値を縦軸に取ってリサジュー图形を描いたときの図で、このリサジュー图形の円の中心をOとし、縦軸、横軸で区切られる右上の領域を第1象限、左上領域を第2象限、左下の領域を第3象限、右下の領域を第4象限とすると、A相の正弦波信号の値がQ1でB相の正弦波信号の値がS1であったとき、このA、B相の正弦波信号の値で決まるリサジュー图形上の点P1は正弦波1周期内における角度θを表している。また、A相が値Q1と中心点Oに対して対称の位置の値Q2でB相がS1であるときのリサジュー图形上の位置P2は角度( $\pi - \theta$ )を表しており、値Q2を値Q1に変換すれば、位置P1の角度θが求

— 7 —

まアドレスとし、また、A相、B相の正弦波信号のディジタル値が第2象限の値を示していれば、A相のディジタル値を第1象限の中心点Oに対して対称のディジタル値をアドレスとし、B相のディジタル値をアドレスとする。さらに、A相、B相の正弦波信号のディジタル値が第3象限の値を示していれば、A相、B相のディジタル値を第1象限の中心点Oに対して対称のディジタル値をそれぞれアドレスとし、A相、B相の正弦波信号のディジタル値が第4象限の値を示していれば、B相のディジタル値を第1象限の中心点Oに対して対称のディジタル値をアドレスとする。そして、このアドレス変換器からの出力でメモリのアドレスを指定して、正弦波1/4周期内の内挿位置データを読みだし、読み出した内挿位置データに対して、データ変換回路で正弦波1周期内の内挿位置データを求め出力する。

データ変換回路では、上述したように、A/D変換器の出力によるディジタル値が第1象限であれば、メモリから読み出したデータを内挿位置と

められ、求められた角度θをπから減ずれば位置P2の角度すなわち、内挿位置が検出される。

また、A相の値がQ2でB相の値が値S1と中心点Oに対して対称の位置の値S2であるときの位置P3は角度( $\pi + \theta$ )を表しており、値Q2を値Q1に、値S2を値S1に変換すれば、角度θの値が求められ、この値θにπを加算することによって位置P3に対する角度( $\theta + \pi$ )である内挿位置が求まる。同様に、A相が値Q1でB相の値がS2であるときは、B相の値S2を値S1に変換しθを求め2πよりこのθを減ずれば位置P4、すなわち内挿位置が求められる。

その結果、第1象限の内挿データ、すなわち正弦波1周期の1/4だけのデータをA相、B相の正弦波信号のディジタル値をアドレスとし、このアドレスに対応させて、そのディジタル値で示される角度すなわち内挿位置をメモリに記憶させておき、アドレス変換回路によってA相、B相の正弦波信号のディジタル値が第1象限を示しているときにはこのA相、B相のディジタル値をそのま

— 8 —

して出力し、第2象限であれば、πより読み出したデータを減じた値を内挿位置データとして出力し、第3象限であれば、πに読み出したデータを加算して内挿位置として出力し、第4象限であれば、2πより読み出したデータを減じた値を内挿位置として出力する。

また、メモリに正弦波信号1/2周期分、例えば第1象限、第2象限の内挿位置データを記憶させた場合には、第3、第4象限側にB相(縦軸にとった相)のディジタル値があるときは、このB相の値を対応する第1、第2象限の値に変換し、これをB相のアドレスとし、A相のアドレスは求められたディジタル値としてメモリより内挿位置データを求める。データ変換回路は、アドレス変換回路でB相のアドレスを変換したときのみ、メモリから読み出されたデータを2πから減じた正弦波1周期内の内挿データとして出力し、他の場合は、メモリから読み出されたデータをそのまま内挿位置データとして出力する。

## 実施例

— 9 —

— 10 —

第1図は本発明の一実施例のブロック図である。

第1図中、1は光学式エンコーダであれば複数のスリットが設けられ回転軸に取り付けられるコード板であり、また磁気式エンコーダであれば磁気コードが設けられているコード板である。また2は上記コード板からコードを検出し、該コード板が回転するにつれて90度位相差のあるA相、B相の正弦波信号を発生する検出回路である。なお、これらコード板、検出回路は従来のエンコーダと同一である。

3a、3bはアナログ信号をデジタル信号に変換するA/D変換器で、A/D変換器3aはA相の正弦波信号をA1～Anのnビットのデジタル値のデジタル信号に、A/D変換器3bはB相の正弦波信号をB1～Bnのnビットのデジタル値のデジタル信号に変換する。また、4はアドレス変換回路で、本実施例ではイクスクルシプノア回路（以下EXノア回路という）Gai～Gas(a-1)、Gbi～Gbs(b-1)で構成され、A相側の各EXノア回路Gai～Gas(a-1)の一

方の端子にはA相の正弦波信号をデジタル値に変換した最上位のビットAnが入力され、各EXノア回路Gai～Gas(a-1)の他方の端子にはそれぞれA1～Ai-1が入力されアドレス信号a1～a1～a1～a1を出力するようになっている。また、B相側の各EXノア回路Gbi～Gbs(b-1)の一方の端子にはB相の正弦波信号をデジタル値に変換した最上位のビットBnが入力され、各EXノア回路Gbi～Gbs(b-1)の他方の端子にはそれぞれB1～Bi-1が入力されアドレス信号b1～b1～b1～b1を出力するようになっている。

5は内挿位置データを記憶したリードオンリーメモリ（ROM）で、この実施例では正弦波1周期の0度から90度の正弦波1周期の1/4周期分のデータ、すなわち、リサジュー图形の第1象限のデータが記憶されている。そして、アドレス変換器4から出力されるアドレス信号a1～a1～1、b1～b1～b1～b1を入力し、この入力されたアドレス信号に対応するアドレス位置に記憶された内挿位置データPiを出力する。

- 11 -

6はROM5から読み出された内挿位置データPiを正弦波1周期内の内挿位置データPに変換し出力するデータ変換回路である。

次に、説明を分かりやすくするためにA/D変換器3a、3bが正弦波信号を8分割して3ビットのデジタル信号を出力する場合の例を取って以下説明する。

第3図はA相、B相の正弦波信号をA/D変換器3a、3bで分割してデジタル信号A3 A2 A1、B3 B2 B1を得る状態を表した図である。A相正弦波信号が最大値でB相正弦波信号が0のときを内挿位置0として各正弦波信号の振幅を8分割し3ビットのデジタル信号A3 A2 A1、B3 B2 B1としてA/D変換器3a、3bは出力する。

第4図はこのA相のデジタル信号A3 A2 A1を横軸に取り、B相のデジタル信号B3 B2 B1を縦軸にとり、このA相、B相のデジタル信号をアドレスとしたときのROMに記憶させる内挿位置データの関係を説明する図で、例えば、

- 12 -

A相のデジタル信号の値が「111」でB相のデジタル信号の値が「101」であれば、このデジタル信号の値によって示されるアドレス位置d8にそのときの正弦波1周期内の内挿位置データを記憶させておけばよい。しかし、この方式であるとA相が「000」から「111」まで変化し、B相も「000」から「111」まで変化するので、ROMには8×8の64のデータ記憶領域を設ければならず、ROMの容量が大きくなる。

しかし、A相とB相の正弦波信号は90度位相差があることによりリサジュー回路で円を描くので、第2図に示すように第2、第3、第4象限の内挿位置は第1象限の内挿位置を求める求められた位置に対して補正すれば正弦波1周期内の内挿位置データを得ることができる。すなわち、A相、B相のデジタル信号「000」は「111」と対称の関係にあり、「001」は「110」と、「010」は「101」と、「011」は「100」と対称の関係にある。そのため、A/D変換

- 13 -

- 14 -

器 3 a, 3 b から出力されたデジタル信号 A<sub>3</sub> A<sub>2</sub> A<sub>1</sub>, B<sub>3</sub> B<sub>2</sub> B<sub>1</sub> をアドレス変換回路 4 で第 1 象限のアドレス位置「100」から「111」に変換し、ROM 5 から第 1 象限の内挿位置データを読み出しデータ変換回路 6 で正弦波 1 周期内の内挿位置データに変換すればよい。

そこで、ROM 5 には第 1 象限の A 相、B 相のデジタル信号の値「100」～「111」をアドレスとして内挿位置データを記憶することになるが、デジタル信号の最上位のビットの値「1」は意味がないので下位ビット A<sub>2</sub> A<sub>1</sub>, B<sub>2</sub> B<sub>1</sub> をアドレス信号 a<sub>2</sub> a<sub>1</sub>, b<sub>2</sub> b<sub>1</sub> とする。

そして、この正弦波信号を A/D 変換器 3 a, 3 b で 8 分割する場合のアドレス変換器 4 の構成は第 5 図のようになる。そして、デジタル信号の最上位のビット A<sub>3</sub>, B<sub>3</sub> が「1」のときには下位 2 ビットの値がそのままアドレス信号になり、A<sub>2</sub> = a<sub>2</sub>, A<sub>1</sub> = a<sub>1</sub>, B<sub>2</sub> = b<sub>2</sub>, B<sub>1</sub> = b<sub>1</sub>、最上位のビット A<sub>3</sub>, B<sub>3</sub> が「0」のときには下位 2 ビットの値が反転した値となる。すなわ

ち、デジタル信号 A<sub>3</sub> A<sub>2</sub> A<sub>1</sub>, B<sub>3</sub> B<sub>2</sub> B<sub>1</sub> とアドレス信号 a<sub>2</sub> a<sub>1</sub>, b<sub>2</sub> b<sub>1</sub> は次の第 1 表のようになる。

第 1 表

A <sub>3</sub>	0	0	0	0	1	1	1	1
A <sub>2</sub>	0	0	1	1	0	0	1	1
A <sub>1</sub>	0	1	0	1	0	1	0	1
a <sub>2</sub>	1	1	0	0	0	0	1	1
a <sub>1</sub>	1	0	1	0	0	1	0	1

B <sub>3</sub>	0	0	0	0	1	1	1	1
B <sub>2</sub>	0	0	1	1	0	0	1	1
B <sub>1</sub>	0	1	0	1	0	1	0	1
b <sub>2</sub>	1	1	0	0	0	0	1	1
b <sub>1</sub>	1	0	1	0	0	1	0	1

このようにして、アドレス信号 a<sub>2</sub> a<sub>1</sub>, b<sub>2</sub> b<sub>1</sub> でアドレスが指定された ROM 5 からは第 1 象限のデータ、すなわち、正弦波 1 周期内の 0 度から 90 度までの内挿位置データ P<sub>1</sub> が読み出される。そして、データ変換回路 6 は、最上位のビ

ット A<sub>3</sub>, B<sub>3</sub> の値に応じてデータ変換を行う。すなわち、A<sub>3</sub> = 1, B<sub>3</sub> = 1 のときは読み出したデータ P<sub>1</sub> をそのまま正弦波 1 周期内を内挿する内挿位置データ P<sub>1</sub> として出力する。また、A<sub>3</sub> = 0, B<sub>3</sub> = 1 のときは  $\pi$  から読み出したデータ P<sub>0</sub> を減じて出力内挿位置データ P<sub>1</sub> とする ( $P = \pi - P_0$ )。A<sub>3</sub> = 0, B<sub>3</sub> = 0 のときは  $\pi$  に読み出したデータ P<sub>1</sub> を加算して出力内挿位置データ P<sub>1</sub> とする ( $P = \pi + P_0$ )。A<sub>3</sub> = 1, B<sub>3</sub> = 0 のときは  $2\pi$  から読み出したデータ P<sub>0</sub> を減じて出力内挿位置データ P<sub>1</sub> とする ( $P = 2\pi - P_0$ )。

なお、本実施例においては上記データ変換回路 6 をプロセッサで構成して上記演算をプロセッサで行うようにしている。

なお上記実施例ではアドレス変換回路を EX ノア回路で構成したが、EX ノア回路に代えてイクスクルシブオア回路を用いてもよい。この場合、アドレス信号 a<sub>2</sub> a<sub>1</sub>, b<sub>2</sub> b<sub>1</sub> は反転するが、ROM のアドレスを反転した状態にしておけばよい。

さらに上記実施例では正弦波 1/4 周期の内挿位置データのみを記憶するようにしたが、正弦波 1/2 周期分を記憶させてもよい。この場合、例えば第 1 象限と第 2 象限を記憶させ、デジタル信号 A<sub>3</sub> A<sub>2</sub> A<sub>1</sub> をそのままアドレス信号としデジタル信号 B<sub>3</sub> B<sub>2</sub> B<sub>1</sub> が「100」から「111」までの内挿位置データを記憶させる場合には、デジタル信号 B<sub>3</sub> が「1」のときにはデジタル信号 B<sub>2</sub> B<sub>1</sub> をそのままアドレス信号 b<sub>2</sub> b<sub>1</sub> として出力させ、デジタル信号 B<sub>3</sub> が「0」のときにはデジタル信号 B<sub>2</sub> B<sub>1</sub> をそれぞれ反転させてアドレス信号 b<sub>2</sub> b<sub>1</sub> として出力するようにし、データ変換回路 6 では、デジタル信号 B<sub>3</sub> が「1」のときには ROM 5 から読み出したデータ P<sub>0</sub> を内挿位置データ P<sub>1</sub> として出力し、デジタル信号 B<sub>3</sub> が「0」のときには  $2\pi$  から読み出したデータ P<sub>1</sub> を減じた値を内挿位置データ P<sub>1</sub> として出力するようにすればよい。

## 発明の効果

本発明はメモリの容量を増大させずに、エンコ

ーダの正弦波 1 周期内の内挿位置データの分解能を向上させることができ、結局エンコーダの分解能を増大させることができる。

#### 4. 図面の簡単な説明

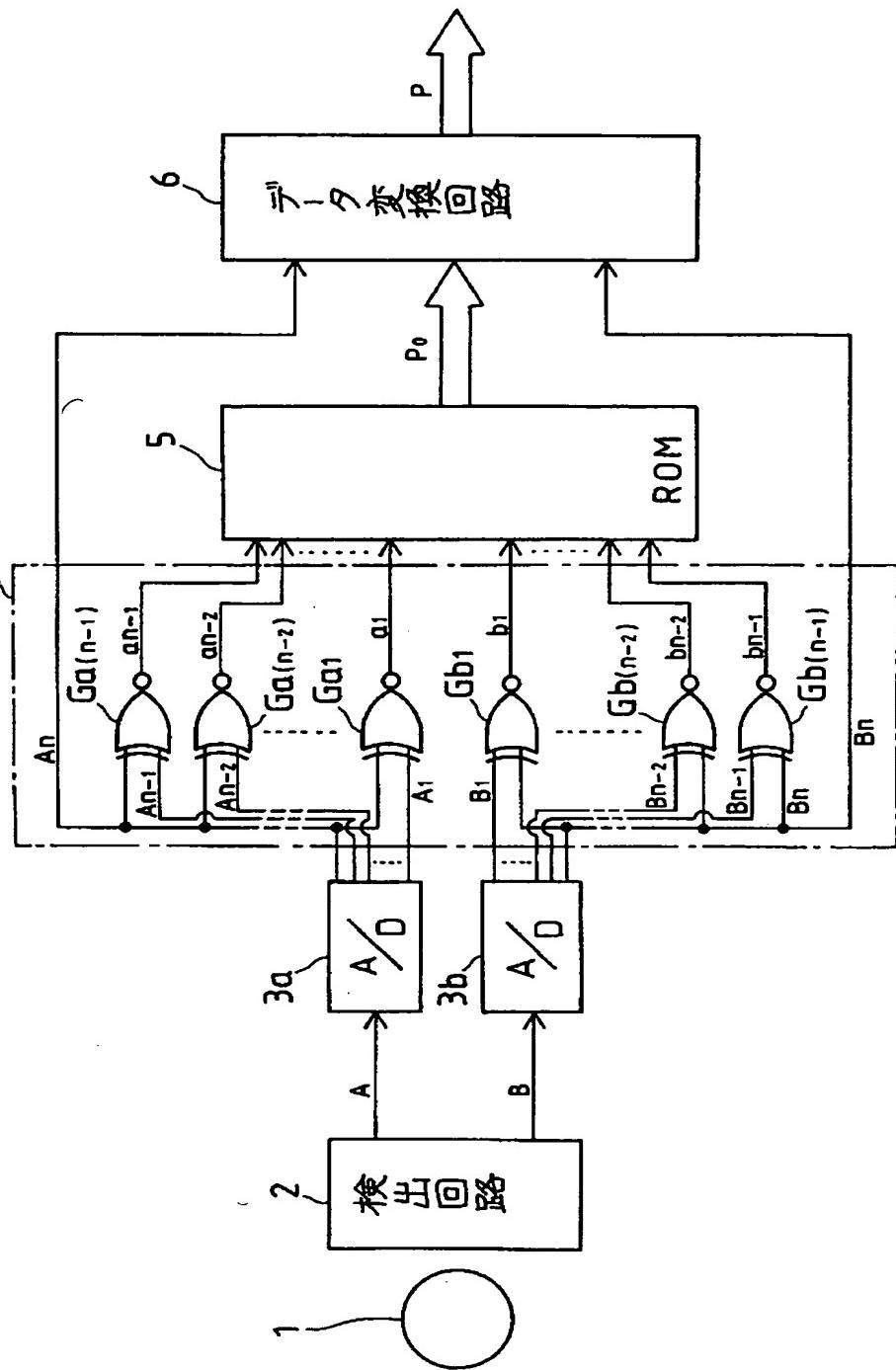
第1図は本発明の一実施例のブロック図、第2図は本発明におけるメモリへ記憶させる内挿位置データと正弦波 1 周期内の内挿位置データの関係を説明する図、第3図は本発明の同実施例における一例の正弦波信号を A/D 変換する A/D 変換器の分割を示す図、第4図はメモリに記憶させる内挿位置データの説明図、第5図は同実施例における A/D 変換器の出力が 3 ビットで構成されたときのアドレス変換器の例の回路図である。

1 … コード板、 2 … 検出回路、  
3 a, 3 b … A/D 変換器、 4 … アドレス変換器、  
5 … R O M、 6 … データ変換器。

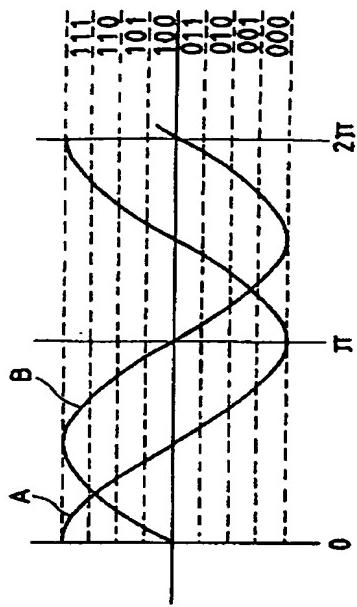
特許出願人 ファナック株式会社

代理 人 弁理士 竹本松司  
(ほか 2 名) 

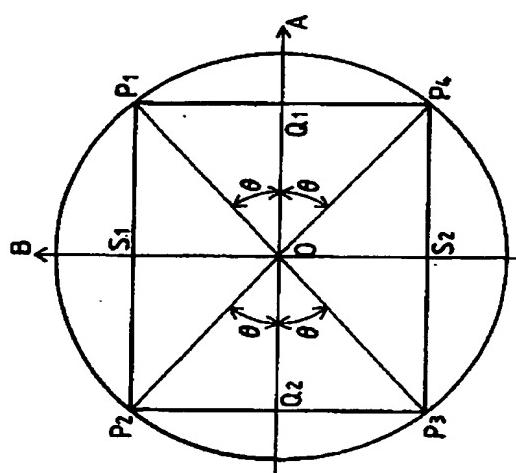
第1図



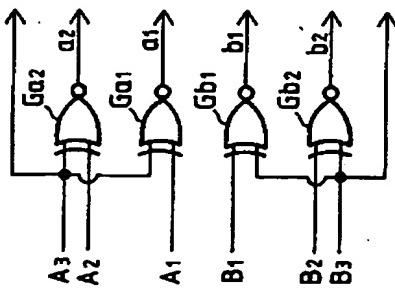
第 3 図



第 2 図



第 5 図



第 4 図

		d2d1		d3d2		d4d3		d5d4		d6d5		d7d6		d8d7		d9d8		d10d9		d11d10		d12d11		d13d12		d14d13		d15d14		d16d15		d17d16		d18d17		d19d18		d20d19		d21d20		d22d21		d23d22		d24d23		d25d24		d26d25		d27d26		d28d27		d29d28		d30d29		d31d30		d32d31		d33d32		d34d33		d35d34		d36d35		d37d36		d38d37		d39d38		d40d39		d41d40		d42d41		d43d42		d44d43		d45d44		d46d45		d47d46		d48d47		d49d48		d50d49		d51d50		d52d51		d53d52		d54d53		d55d54		d56d55		d57d56		d58d57		d59d58		d60d59		d61d60		d62d61		d63d62		d64d63		d65d64		d66d65		d67d66		d68d67		d69d68		d70d69		d71d70		d72d71		d73d72		d74d73		d75d74		d76d75		d77d76		d78d77		d79d78		d80d79		d81d80		d82d81		d83d82		d84d83		d85d84		d86d85		d87d86		d88d87		d89d88		d90d89		d91d90		d92d91		d93d92		d94d93		d95d94		d96d95		d97d96		d98d97		d99d98		d100d99		d101d100		d102d101		d103d102		d104d103		d105d104		d106d105		d107d106		d108d107		d109d108		d110d109		d111d110		d112d111		d113d112		d114d113		d115d114		d116d115		d117d116		d118d117		d119d118		d120d119		d121d120		d122d121		d123d122		d124d123		d125d124		d126d125		d127d126		d128d127		d129d128		d130d129		d131d130		d132d131		d133d132		d134d133		d135d134		d136d135		d137d136		d138d137		d139d138		d140d139		d141d140		d142d141		d143d142		d144d143		d145d144		d146d145		d147d146		d148d147		d149d148		d150d149		d151d150		d152d151		d153d152		d154d153		d155d154		d156d155		d157d156		d158d157		d159d158		d160d159		d161d160		d162d161		d163d162		d164d163		d165d164		d166d165		d167d166		d168d167		d169d168		d170d169		d171d170		d172d171		d173d172		d174d173		d175d174		d176d175		d177d176		d178d177		d179d178		d180d179		d181d180		d182d181		d183d182		d184d183		d185d184		d186d185		d187d186		d188d187		d189d188		d190d189		d191d190		d192d191		d193d192		d194d193		d195d194		d196d195		d197d196		d198d197		d199d198		d200d199		d201d200		d202d201		d203d202		d204d203		d205d204		d206d205		d207d206		d208d207		d209d208		d210d209		d211d210		d212d211		d213d212		d214d213		d215d214		d216d215		d217d216		d218d217		d219d218		d220d219		d221d220		d222d221		d223d222		d224d223		d225d224		d226d225		d227d226		d228d227		d229d228		d230d229		d231d230		d232d231		d233d232		d234d233		d235d234		d236d235		d237d236		d238d237		d239d238		d240d239		d241d240		d242d241		d243d242		d244d243		d245d244		d246d245		d247d246		d248d247		d249d248		d250d249		d251d250		d252d251		d253d252		d254d253		d255d254		d256d255		d257d256		d258d257		d259d258		d260d259		d261d260		d262d261		d263d262		d264d263		d265d264		d266d265		d267d266		d268d267		d269d268		d270d269		d271d270		d272d271		d273d272		d274d273		d275d274		d276d275		d277d276		d278d277		d279d278		d280d279		d281d280		d282d281		d283d282		d284d283		d285d284		d286d285		d287d286		d288d287		d289d288		d290d289		d291d290		d292d291		d293d292		d294d293		d295d294		d296d295		d297d296		d298d297		d299d298		d300d299		d301d300		d302d301		d303d302		d304d303		d305d304		d306d305		d307d306		d308d307		d309d308		d310d309		d311d310		d312d311		d313d312		d314d313		d315d314		d316d315		d317d316		d318d317		d319d318		d320d319		d321d320		d322d321		d323d322		d324d323		d325d324		d326d325		d327d326		d328d327		d329d328		d330d329		d331d330		d332d331		d333d332		d334d333		d335d334		d336d335		d337d336		d338d337		d339d338		d340d339		d341d340		d342d341		d343d342		d344d343		d345d344		d346d345		d347d346		d348d347		d349d348		d350d349		d351d350		d352d351		d353d352		d354d353		d355d354		d356d355		d357d356		d358d357		d359d358		d360d359		d361d360		d362d361		d363d362		d364d363		d365d364		d366d365		d367d366		d368d367		d369d368		d370d369		d371d370		d372d371		d373d372		d374d373		d375d374		d376d375		d377d376		d378d377		d379d378		d380d379		d381d380		d382d381		d383d382		d384d383		d385d384		d386d385		d387d386		d388d387		d389d388		d390d389		d391d390		d392d391		d393d392		d394d393		d395d394		d396d395		d397d396		d398d397		d399d398		d400d399		d401d400		d402d401		d403d402		d404d403		d405d404		d406d405		d407d406		d408d407		d409d408		d410d409		d411d410		d412d411		d413d412		d414d413		d415d414		d416d415		d417d416		d418d417		d419d418		d420d419		d421d420		d422d421		d423d422		d424d423		d425d424		d426d425		d427d426		d428d427		d429d428		d430d429		d431d430		d432d431		d433d432		d434d433		d435d434		d436d435		d437d436		d438d437		d439d438		d440d439		d441d440		d442d441		d443d442		d444d443		d445d444		d446d445		d447d446		d448d447		d449d448		d450d449		d451d450		d452d451		d453d452		d454d453		d455d454		d456d455		d457d456		d458d457		d459d458		d460d459		d461d460		d462d461		d463d462		d464d463		d465d464		d466d465		d467d466		d468d467		d469d468		d470d469		d471d470		d472d471		d473d472		d474d473		d475d474		d476d475		d477d476		d478d477		d479d478		d480d479		d481d480		d482d481		d483d482		d484d483		d485d484		d486d485		d487d486		d488d487		d489d488		d490d489		d491d490		d492d491		d493d492		d494d493		d495d494		d496d495		d497d496		d498d497		d499d498		d500d499		d501d500		d502d501		d503d502		d504d503		d505d504		d506d505		d507d506		d508d507		d509d508		d510d509		d511d510		d512d511		d513d512		d514d513		d515d514		d516d515		d517d516		d518d517		d519d518		d520d519		d521d520		d522d521		d523d522		d524d523		d525d524		d526d525		d527d526		d528d527		d529d528		d530d529		d531d530		d532d531		d533d532		d534d533		d535d534		d536d535		d537d536		d538d537		d539d538		d540d539		d541d540		d542d541		d543d542		d544d543		d545d544		d546d545		d547d546		d548d547		d549d548		d550d549		d551d550		d552d551		d553d552		d554d553		d555d554		d556d555		d557d556		d558d557		d559d558		d560d559		d561d560		d562d561		d563d562		d564d563		d565d564		d566d565		d567d566		d568d567		d569d568		d570d569		d571d570		d572d571		d573d572		d574d573		d575d574		d576d575		d577d576		d578d577		d579d578		d580d579		d581d580		d582d581		d583d582		d584d583		d585d584		d586d585		d587d586		d588d587		d589d588		d590d589		d591d590		d592d591		d593d592		d594d593		d595d594		d596d595		d597d596		d598d597		d599d598		d600d599		d601d600		d602d601		d603d602		d604d603		d605d604		d606d605		d607d606		d608d607		d609d608		d610d609		d611d610		d612d611		d613d612		d614d613		d615d614		d616d615		d617d616		d618d617		d619d618		d620d619		d621d620		d622d621		d623d622		d624d623		d625d624		d626d625		d627d626		d628d627		d629d628		d630d629		d631d630		d632d631		d633d632		d634d633		d635d634		d636d635		d637d636		d638d637		d639d638		d640d639		d641d640		d642d641		d643d642		d644d643		d645d644		d646d645		d647d646		d648d647		d649d648		d650d649		d651d650		d652d651		d653d652		d654d653		d655d654		d656d655		d657d656		d658d657		d659d658		d660d659		d661d660		d662d661		d663d662		d664d663		d665d664		d666d665		d667d666		d668d667		d669d668		d670d669		d671d670		d672d671		d673d672		d674d673		d675d674		d676d675		d677d676		d678d677		d679d678		d680d679		d681d680		d682d681		d683d682		d684d683		d685d684		d686d685		d687d68	